

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-31816

(43) 公開日 平成11年(1999) 2月2日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/78
21/8238
27/092H 0 1 L 29/78
27/083 0 1 D
3 2 1 D

審査請求 未請求 請求項の数18 O L (全 18 頁)

(21) 出願番号 特願平9-188058

(22) 出願日 平成9年(1997) 7月14日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 藤井 泰三

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 平井 健裕

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 藤永 清雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

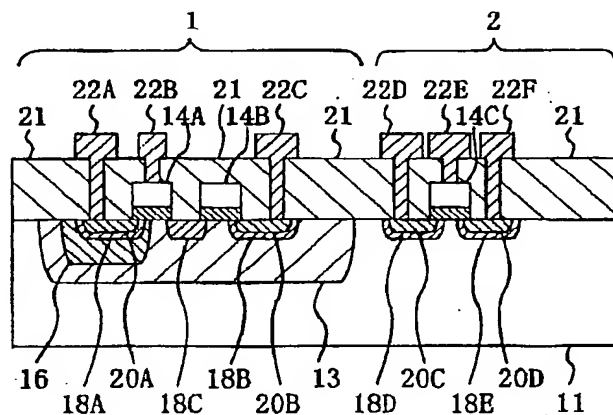
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 DMOSFETを有する半導体装置において、DMOSFETのオン抵抗のばらつきを減少させる。

【解決手段】 P型シリコンよりなる半導体基板11には、DMOSFET1とMOSFET2とが形成されている。DMOSFET1のN型のドレイン領域13の上には、互いに間隔をおいて第1の絶縁ゲート電極14A及びドレインコンタクト領域位置規制部材としてのダミーの第2の絶縁ゲート電極14Bが形成されている。ドレイン領域13において、第1の絶縁ゲート電極14Aの反第2の絶縁ゲート電極側の領域にはP型のボディ領域16が第1の絶縁ゲート電極14Aに対して自己整合的に形成され、第2の絶縁ゲート電極14Bの反第1の絶縁ゲート電極側の領域にはN型のドレインコンタクト領域20Bが第2の絶縁ゲート電極14Bに対して自己整合的に形成されている。



【特許請求の範囲】

【請求項1】 半導体基板に形成され、第1導電型の低濃度不純物がドーピングされてなるドレイン領域と、前記ドレイン領域の上に前記半導体基板と絶縁されて形成された絶縁ゲート電極と、前記ドレイン領域の上に前記絶縁ゲート電極と間隔をおいて形成され、少なくとも前記半導体基板と接する部分が絶縁体よりなるドレインコンタクト領域位置規制部材と、前記ドレイン領域における前記絶縁ゲート電極に対する前記ドレインコンタクト領域位置規制部材の反対側の領域に形成され、第2導電型の不純物がドーピングされてなるボディ領域と、前記ボディ領域に該ボディ領域の周辺部と間隔をおいて形成され、第1導電型の高濃度不純物がドーピングされてなるソース領域と、前記ドレイン領域における前記ドレインコンタクト領域位置規制部材に対する前記絶縁ゲート電極の反対側の領域に形成され、第1導電型の高濃度不純物がドーピングされてなるドレインコンタクト領域とを備え、前記ドレインコンタクト領域におけるソース領域側の端部の位置は、前記ドレインコンタクト領域位置規制部材の反ソース領域側の側面により自己整合的に規制されていることを特徴とする半導体装置。

【請求項2】 前記半導体基板における前記絶縁ゲート電極と前記ドレインコンタクト領域位置規制部材との間の領域に形成され、第1導電型の不純物がその不純物濃度が前記ドレイン領域よりも大きく且つ前記ソース領域又は前記ドレインコンタクト領域よりも小さくドーピングされてなる低抵抗領域をさらに備えていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記絶縁ゲート電極が第1の絶縁ゲート電極であり、前記ドレインコンタクト領域位置規制部材は、前記半導体基板と絶縁されて形成された第2の絶縁ゲート電極であることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第1の絶縁ゲート電極と前記第2の絶縁ゲート電極とは電気的に接続されていることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記半導体基板の上における前記絶縁ゲート電極と前記ドレインコンタクト領域位置規制部材との間の領域に前記絶縁ゲート電極及び前記ドレインコンタクト領域とそれぞれ間隔をおいて形成され、少なくとも前記半導体基板と接する部分が絶縁体よりなるソース・ドレイン間拡張部材と、前記半導体基板における前記絶縁ゲート電極と前記ソース・ドレイン間拡張部材との間の領域及び前記ソース・ドレイン間拡張部材と前記ドレインコンタクト領域位置規制部材との間の領域にそれぞれ形成され、第1導電型の不純物がその不純物濃度が前記ドレイン領域よりも大

きく且つ前記ソース領域又は前記ドレインコンタクト領域よりも小さくドーピングされてなる低抵抗領域とをさらに備えていることを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記絶縁ゲート電極が第1の絶縁ゲート電極であり、前記ドレインコンタクト領域位置規制部材は、前記半導体基板と絶縁されて形成された第2の絶縁ゲート電極であり、前記ソース・ドレイン間拡張部材は、前記半導体基板と絶縁されて形成された第3の絶縁ゲート電極であることを特徴とする請求項5に記載の半導体装置。

【請求項7】 前記第1の絶縁ゲート電極と前記第2の絶縁ゲート電極と前記第3の絶縁ゲート電極とは電気的に接続されていることを特徴とする請求項6に記載の半導体装置。

【請求項8】 前記半導体基板における前記ボディ領域の上端部側と前記ソース領域の下端部側との間の領域に形成され、前記低抵抗領域と同様の不純物濃度プロファイルを有するソース側不純物拡散領域と、前記半導体基板における前記ドレイン領域と前記ドレインコンタクト領域の下端部側との間の領域に形成され、前記低抵抗領域と同様の不純物濃度プロファイルを有するドレインコンタクト側不純物拡散領域とをさらに備えていることを特徴とする請求項2又は5に記載の半導体装置。

【請求項9】 前記絶縁ゲート電極及び前記ドレインコンタクト領域位置規制部材のゲート長方向の両側面には、それぞれ絶縁膜よりなる側壁が密着して形成されており、前記ソース領域における前記ドレインコンタクト領域側の端部の位置は、前記絶縁ゲート電極の反ドレインコンタクト領域側の側壁により自己整合的に規制されていると共に、前記ドレインコンタクト領域における前記ソース領域側の端部の位置は、前記ドレインコンタクト領域位置規制部材の反ソース領域側の側壁により自己整合的に規制されていることを特徴とする請求項1～8のいずれか1項に記載の半導体装置。

【請求項10】 半導体基板に第1導電型の不純物を低濃度にドーピングすることによりドレイン領域を形成するドレイン領域形成工程と、

前記ドレイン領域の上に、該ドレイン領域とそれぞれ絶縁される第1の絶縁ゲート電極と第2の絶縁ゲート電極とを互いに間隔をおいて形成する絶縁ゲート電極形成工程と、

前記第1の絶縁ゲート電極をマスクとして前記ドレイン領域における前記第1の絶縁ゲート電極の反第2の絶縁ゲート電極側の第1の領域に第2導電型の不純物をドーピングすることにより、ボディ領域を前記第1の領域に自己整合的に形成するボディ領域形成工程と、

前記第1の絶縁ゲート電極をマスクとして前記ボディ領域に第1導電型の不純物を高濃度にドーピングすることにより、ソース領域を前記ボディ領域に自己整合的に且つ前記ボディ領域の周辺部と間隔をおくように形成するソース領域形成工程と、

前記第2の絶縁ゲート電極をマスクとして前記ドレイン領域における前記第2の絶縁ゲート電極の反第1の絶縁ゲート電極側の第2の領域に第1導電型の不純物を高濃度にドーピングすることにより、ドレインコンタクト領域を前記第2の領域に自己整合的に形成するドレインコンタクト領域形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項11】 半導体基板に第1導電型の不純物を低濃度にドーピングすることによりドレイン領域を形成するドレイン領域形成工程と、

前記ドレイン領域の上に、該ドレイン領域とそれぞれ絶縁される第1の絶縁ゲート電極と第2の絶縁ゲート電極とを互いに間隔をおいて形成する絶縁ゲート電極形成工程と、

前記半導体基板の上に全面にわたって絶縁膜を堆積した後、該絶縁膜に対してエッチバックを行なうことにより、前記第1の絶縁ゲート電極のゲート長方向側の両側面に前記絶縁膜よりなる第1の側壁を形成すると共に、前記第2の絶縁ゲート電極のゲート長方向側の両側面に前記絶縁膜よりなる第2の側壁を形成する側壁形成工程と、

前記第1の絶縁ゲート電極及び前記第1の側壁をマスクとして前記ドレイン領域における前記第1の絶縁ゲート電極の反第2の絶縁ゲート電極側の第1の領域に第2導電型の不純物をドーピングすることにより、ボディ領域を前記第1の領域に自己整合的に形成するボディ領域形成工程と、

前記第1の絶縁ゲート電極及び第1の側壁をマスクとして前記ボディ領域に第1導電型の不純物を高濃度にドーピングすることにより、ソース領域を前記ボディ領域に自己整合的に且つ前記ボディ領域の周辺部と間隔をおくように形成するソース領域形成工程と、

前記第2の絶縁ゲート電極及び前記第2の側壁をマスクとして前記ドレイン領域における前記第2の絶縁ゲート電極の反第1の絶縁ゲート電極側の第2の領域に第1導電型の不純物を高濃度にドーピングすることにより、ドレインコンタクト領域を前記第2の領域に自己整合的に形成するドレインコンタクト領域形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項12】 前記半導体基板における前記第1の絶縁ゲート電極と前記第2の絶縁ゲート電極との間の領域に、不純物濃度が前記ドレイン領域よりも大きく且つ前記ソース領域又は前記ドレインコンタクト領域よりも小さい第1導電型の不純物をドーピングすることにより、不純物拡散領域を前記第1の絶縁ゲート電極と前記第2の絶

縁ゲート電極との間の領域に形成する不純物拡散領域形成工程をさらに備えていることを特徴とする請求項10又は11に記載の半導体装置の製造方法。

【請求項13】 前記不純物拡散領域形成工程は、前記半導体基板における前記ボディ領域の上端部と前記ソース領域の下端部との間の領域と、前記ドレイン領域と前記ドレインコンタクト領域の下端部との間の領域とに、不純物濃度が前記ドレイン領域よりも大きく且つ前記ソース領域又は前記ドレインコンタクト領域よりも小さい前記第1導電型の不純物をドーピングすることにより、不純物拡散領域を前記ボディ領域の上端部と前記ソース領域の下端部との間及び前記ドレイン領域と前記ドレインコンタクト領域の下端部との間の各領域にそれぞれ形成する工程を含むことを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】 一の半導体基板に第1導電型の不純物を低濃度にドーピングすることにより、DMOSFET用のドレイン領域を形成するドレイン領域形成工程と、前記ドレイン領域の上に、該ドレイン領域とそれぞれ絶縁されるDMOSFET用の第1の絶縁ゲート電極と第2の絶縁ゲート電極とを互いに間隔をおいて形成すると共に、前記一の半導体基板の上に前記ドレイン領域と間隔をおき且つ前記半導体基板と絶縁されるMOSFET用の第3の絶縁ゲート電極を形成する絶縁ゲート電極形成工程と、

前記第1の絶縁ゲート電極をマスクとして前記ドレイン領域における前記第1の絶縁ゲート電極の反第2の絶縁ゲート電極側の第1の領域に第2導電型の不純物をドーピングすることにより、ボディ領域を前記第2の領域に自己整合的に形成するボディ領域形成工程と、

前記第1の絶縁ゲート電極をマスクとして前記ボディ領域に第1導電型の不純物を高濃度にドーピングすることにより、ソース領域を前記ボディ領域に自己整合的に且つ前記ボディ領域の周辺部と間隔をおくように形成するソース領域形成工程と、

前記第2の絶縁ゲート電極をマスクとして前記ドレイン領域における前記第2の絶縁ゲート電極の反第1の絶縁ゲート電極側の第2の領域に第1導電型の不純物を高濃度にドーピングすることにより、ドレインコンタクト領域を前記第2の領域に自己整合的に形成するドレインコンタクト領域形成工程と、

前記第3の絶縁ゲート電極をマスクとして前記一の半導体基板における前記第3の絶縁ゲート電極の第2の絶縁ゲート電極側の第3領域に第1導電型の不純物を高濃度にドーピングすることにより、第1のソース・ドレイン領域を前記第3の領域に自己整合的に且つ前記ドレイン領域と間隔をおくように形成すると共に、前記一の半導体基板における前記第3の絶縁ゲート電極の反第2の絶縁ゲート電極側の第4の領域に第1導電型の不純物を高濃度にドーピングすることにより、第2のソース・ドレイン領域

を前記第4の領域に自己整合的に形成するソース・ドレイン領域形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項15】 一の半導体基板に第1導電型の不純物を低濃度にドーピングすることにより、DMOSFET用のドレイン領域を形成するドレイン領域形成工程と、

前記ドレイン領域の上に、該ドレイン領域とそれぞれ絶縁されるDMOSFET用の第1の絶縁ゲート電極と第2の絶縁ゲート電極とを互いに間隔をおいて形成すると共に、前記一の半導体基板の上に前記ドレイン領域と間隔をおき且つ前記半導体基板と絶縁されるMOSFET用の第3の絶縁ゲート電極を形成する絶縁ゲート電極形成工程と、

前記一の半導体基板の上に全面にわたって絶縁膜を堆積した後、該絶縁膜に対してエッチバックを行なうことにより、前記第1の絶縁ゲート電極のゲート長方向側の両側面に前記絶縁膜よりなる第1の側壁を形成し、前記第2の絶縁ゲート電極のゲート長方向側の両側面に前記絶縁膜よりなる第2の側壁を形成し、前記第3の絶縁ゲート電極のゲート長方向側の両側面に前記絶縁膜よりなる第3の側壁を形成する側壁形成工程と、

前記第1の絶縁ゲート電極及び前記第1の側壁をマスクとして前記ドレイン領域における前記第1の絶縁ゲート電極の反第2の絶縁ゲート電極側の第1の領域に第2導電型の不純物をドーピングすることにより、ボディ領域を前記第1の領域に自己整合的に形成するボディ領域形成工程と、

前記第1の絶縁ゲート電極及び前記第1の側壁をマスクとして前記ボディ領域に第1導電型の不純物を高濃度にドーピングすることにより、ソース領域を前記ボディ領域に自己整合的に且つ前記ボディ領域の周辺部と間隔をおくように形成するソース領域形成工程と、

前記第2の絶縁ゲート電極及び前記第2の側壁をマスクとして前記ドレイン領域における前記第2の絶縁ゲート電極の反第1の絶縁ゲート電極側の第2の領域に第1導電型の不純物を高濃度にドーピングすることにより、ドレインコンタクト領域を前記第2の領域に自己整合的に形成するドレインコンタクト領域形成工程と、

前記第3の絶縁ゲート電極をマスクとして前記一の半導体基板における前記第3の絶縁ゲート電極の第2の絶縁ゲート電極側の第3領域に第1導電型の不純物を高濃度にドーピングすることにより、第1のソース・ドレイン領域を前記第3の領域に自己整合的に且つ前記ドレイン領域と間隔をおくように形成すると共に、前記一の半導体基板における前記第3の絶縁ゲート電極の反第2の絶縁ゲート電極側の第4の領域に第1導電型の不純物を高濃度にドーピングすることにより、第2のソース・ドレイン領域を前記第4の領域に自己整合的に形成するソース・ドレイン領域形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項16】 前記一の半導体基板における前記第1の絶縁ゲート電極と前記第2の絶縁ゲート電極との間の領域に、不純物濃度が前記ドレイン領域よりも大きく且つ前記ソース領域又は前記ドレインコンタクト領域よりも小さい第1導電型の不純物をドーピングすることにより、不純物拡散領域を前記第1の絶縁ゲート電極と前記第2の絶縁ゲート電極との間の領域に形成する不純物拡散領域形成工程をさらに備えていることを特徴とする請求項14又は15に記載の半導体装置の製造方法。

【請求項17】 前記不純物拡散領域形成工程は、前記一の半導体基板における前記ボディ領域の上端部と前記ソース領域の下端部との間の領域と、前記ドレイン領域と前記ドレインコンタクト領域の下端部との間の領域とに、不純物濃度が前記ドレイン領域よりも大きく且つ前記ソース領域又は前記ドレインコンタクト領域よりも小さい前記第1導電型の不純物をドーピングすることにより、不純物拡散領域を前記ボディ領域の上端部と前記ソース領域の下端部との間及び前記ドレイン領域と前記ドレインコンタクト領域の下端部との間の各領域にそれぞれ形成する工程と、

前記一の半導体基板における前記第1のソース・ドレイン領域の下端部側の領域と前記第2のソース・ドレイン領域の下端部側の領域とに、不純物濃度が前記第1及び第2のソース・ドレイン領域よりも小さい前記第1導電型の不純物をドーピングすることにより、不純物拡散領域を前記第1のソース・ドレイン領域の下端部側の領域と前記第2のソース・ドレイン領域の下端部側の領域とにそれぞれ形成する工程とを含むことを特徴とする請求項16に記載の半導体装置の製造方法。

【請求項18】 前記第1の絶縁ゲート電極と前記第2の絶縁ゲート電極とを電氣的に接続する工程をさらに備えていることを特徴とする請求項10～17のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、特に、大電流を制御するDMOSFET及びその製造方法に関する。

【0002】

【従来の技術】 近年、様々な機器の駆動用デバイスであるDMOSFET (Double Diffused MOSFET) が他のデバイスと共に集積化された半導体集積装置に関する提案が数多くなされている。

【0003】 以下、特開平3-205832号公報等に開示されているDMOSFETの従来の製造方法について図面を参照しながら説明する。

【0004】 図10(a)～(c)は従来のDMOSFETの製造方法の工程順の断面構成を示し、図10

(a)に示すように、まず、ドレイン領域となるn型半導体基板100の主面に、例えば、多結晶シリコン等

よりなる絶縁ゲート電極101を形成する。次に、図10(b)に示すように、半導体基板100の上部における絶縁ゲート電極101に対するゲート長方向の一方の領域に、絶縁ゲート電極101をマスクとしてP型の不純物をドーピングすることによりP型のボディ領域102を形成する。その後、図10(c)に示すように、半導体基板100のボディ領域102に、絶縁ゲート電極101をマスクの一部としてソース領域103を形成すると共に、フォトリソグラフィを用いて、半導体基板100におけるボディ領域102と反対側の領域に、絶縁ゲート電極101の反ボディ領域側の端部から所定の長さを持つレジストパターン(図示せず)を形成した後、該レジストパターンをマスクとしてドレインコンタクト領域104を形成する。その後、ソース領域103及びドレインコンタクト領域104にそれぞれ電極を形成すれば素子が完成する。

【0005】このように、DMOSFETは、絶縁ゲート電極101とドレインコンタクト領域104との間に所定の間隔を設けることにより素子の耐圧の向上を図ると共に、ボディ領域102における絶縁ゲート電極101の下側の領域において、このボディ領域102が反転してなるチャネル領域の実効的なチャネル長を絶縁ゲート電極101のゲート長と独立に最適化できるという効果を有している。

【0006】

【発明が解決しようとする課題】しかしながら、前記従来のDMOSFETを含む半導体装置の製造方法は、オン抵抗のばらつきが生じるという問題を有している。すなわち、DMOSFETの導通時のソース・ドレインコンタクト間抵抗であるオン抵抗は絶縁ゲート電極101とドレインコンタクト領域104との間の距離に大きく依存している。この距離はフォトリソグラフィ工程の位置合わせにより決定されるため、該位置合わせにはマスクパターンのサイズにマージンを見込む必要があり、そのため、必然的にばらつきが生じてしまう。

【0007】本発明は、前記従来の問題を解決し、DMOSFETを有する半導体装置及びその製造方法において、オン抵抗のばらつきを減少させることを目的とする。

【0008】

【課題を解決するための手段】前記の目的を達成するため、本発明は、半導体基板上に絶縁ゲート電極と間隔をおいて形成され、ドレインコンタクト領域の位置を自己整合的に規制するドレインコンタクト領域位置規制部材を設けるものである。

【0009】本発明に係る半導体装置は、半導体基板に形成され、第1導電型の低濃度不純物がドーピングされてなるドレイン領域と、ドレイン領域の上に半導体基板と絶縁されて形成された絶縁ゲート電極と、ドレイン領域の上に絶縁ゲート電極と間隔をおいて形成され、少なくとも

も半導体基板と接する部分が絶縁体よりなるドレインコンタクト領域位置規制部材と、ドレイン領域における絶縁ゲート電極に対するドレインコンタクト領域位置規制部材の反対側の領域に形成され、第2導電型の不純物がドーピングされてなるボディ領域と、ボディ領域に該ボディ領域の周辺部と間隔をおいて形成され、第1導電型の高濃度不純物がドーピングされてなるソース領域と、ドレイン領域におけるドレインコンタクト領域位置規制部材に対する絶縁ゲート電極の反対側の領域に形成され、第1導電型の高濃度不純物がドーピングされてなるドレインコンタクト領域とを備え、ドレインコンタクト領域におけるソース領域側の端部の位置は、ドレインコンタクト領域位置規制部材の反ソース領域側の側面により自己整合的に規制されている。

【0010】本発明の半導体装置によると、半導体基板の上におけるドレイン領域に絶縁ゲート電極と互いに間隔をおいて形成され、少なくとも半導体基板と接する部分が絶縁体よりなるドレインコンタクト領域位置規制部材を備えており、ドレインコンタクト領域におけるソース領域側の端部の位置は、ドレインコンタクト領域位置規制部材の反ソース領域側の側面によって自己整合的に規制されているため、ソース・ドレインコンタクト間の距離のばらつきを抑えることができる。

【0011】本発明の半導体装置は、半導体基板における絶縁ゲート電極とドレインコンタクト領域位置規制部材との間の領域に形成され、第1導電型の不純物がその不純物濃度がドレイン領域よりも大きく且つソース領域又はドレインコンタクト領域よりも小さくドーピングされてなる低抵抗領域をさらに備えていることが好ましい。

【0012】本発明の半導体装置において、絶縁ゲート電極が第1の絶縁ゲート電極であり、ドレインコンタクト領域位置規制部材は、半導体基板と絶縁されて形成された第2の絶縁ゲート電極であることが好ましい。

【0013】本発明の半導体装置において、第1の絶縁ゲート電極と第2の絶縁ゲート電極とは電氣的に接続されていることが好ましい。

【0014】本発明の半導体装置は、半導体基板の上における絶縁ゲート電極とドレインコンタクト領域位置規制部材との間の領域に絶縁ゲート電極及びドレインコンタクト領域とそれぞれ間隔をおいて形成され、少なくとも半導体基板と接する部分が絶縁体よりなるソース・ドレイン間拡張部材と、半導体基板における絶縁ゲート電極とソース・ドレイン間拡張部材との間の領域及びソース・ドレイン間拡張部材とドレインコンタクト領域位置規制部材との間の領域にそれぞれ形成され、第1導電型の不純物がその不純物濃度がドレイン領域よりも大きく且つソース領域又はドレインコンタクト領域よりも小さくドーピングされてなる低抵抗領域とをさらに備えていることが好ましい。

【0015】本発明の半導体装置において、絶縁ゲート

電極が第1の絶縁ゲート電極であり、ドレインコンタクト領域位置規制部材は、半導体基板と絶縁されて形成された第2の絶縁ゲート電極であり、ソース・ドレイン間拡張部材は、半導体基板と絶縁されて形成された第3の絶縁ゲート電極であることが好ましい。

【0016】本発明の半導体装置において、第1の絶縁ゲート電極と第2の絶縁ゲート電極と第3の絶縁ゲート電極とは電氣的に接続されていることが好ましい。

【0017】本発明の半導体装置は、半導体基板におけるボディ領域の上端部側とソース領域の下端部側との間の領域に形成され、低抵抗領域と同様の不純物濃度プロファイルを有するソース側不純物拡散領域と、半導体基板におけるドレイン領域とドレインコンタクト領域の下端部側との間の領域に形成され、低抵抗領域と同様の不純物濃度プロファイルを有するドレインコンタクト側不純物拡散領域とをさらに備えていることが好ましい。

【0018】本発明の半導体装置において、絶縁ゲート電極及びドレインコンタクト領域位置規制部材のゲート長方向の両側面には、それぞれ絶縁膜よりなる側壁が密着して形成されており、ソース領域におけるドレインコンタクト領域側の端部の位置は、絶縁ゲート電極の反ドレインコンタクト領域側の側壁により自己整合的に規制されていると共に、ドレインコンタクト領域におけるソース領域側の端部の位置は、ドレインコンタクト領域位置規制部材の反ソース領域側の側壁により自己整合的に規制されていることが好ましい。

【0019】本発明に係る第1の半導体装置の製造方法は、半導体基板に第1導電型の不純物を低濃度にドーピングすることによりドレイン領域を形成するドレイン領域形成工程と、ドレイン領域の上に、該ドレイン領域とそれぞれ絶縁される第1の絶縁ゲート電極と第2の絶縁ゲート電極とを互いに間隔をおいて形成する絶縁ゲート電極形成工程と、第1の絶縁ゲート電極をマスクとしてドレイン領域における第1の絶縁ゲート電極の反第2の絶縁ゲート電極側の第1の領域に第2導電型の不純物をドーピングすることにより、ボディ領域を第1の領域に自己整合的に形成するボディ領域形成工程と、第1の絶縁ゲート電極をマスクとしてボディ領域に第1導電型の不純物を高濃度にドーピングすることにより、ソース領域をボディ領域に自己整合的に且つボディ領域の周辺部と間隔をおくように形成するソース領域形成工程と、第2の絶縁ゲート電極をマスクとしてドレイン領域における第2の絶縁ゲート電極の反第1の絶縁ゲート電極側の第2の領域に第1導電型の不純物を高濃度にドーピングすることにより、ドレインコンタクト領域を第2の領域に自己整合的に形成するドレインコンタクト領域形成工程とを備えている。

【0020】第1の半導体装置の製造方法によると、ドレイン領域の上に、該ドレイン領域とそれぞれ絶縁される第1の絶縁ゲート電極と第2の絶縁ゲート電極とを互

いに間隔をおいて形成する絶縁ゲート電極形成工程と、第2の絶縁ゲート電極をマスクとしてドレイン領域における第2の絶縁ゲート電極の反第1の絶縁ゲート電極側の領域に第1導電型の不純物を高濃度にドーピングすることにより、ドレインコンタクト領域を自己整合的に形成するドレインコンタクト領域形成工程とを備えているため、ドレインコンタクト領域におけるソース領域側の端部の位置は、第2の絶縁ゲート電極の反ソース領域側の側面によって規制されるので、ソース・ドレインコンタクト間の距離のばらつきを抑えることができる。

【0021】本発明に係る第2の半導体装置の製造方法は、半導体基板に第1導電型の不純物を低濃度にドーピングすることによりドレイン領域を形成するドレイン領域形成工程と、ドレイン領域の上に、該ドレイン領域とそれぞれ絶縁される第1の絶縁ゲート電極と第2の絶縁ゲート電極とを互いに間隔をおいて形成する絶縁ゲート電極形成工程と、半導体基板の上に全面にわたって絶縁膜を堆積した後、該絶縁膜に対してエッチバックを行なうことにより、第1の絶縁ゲート電極のゲート長方向側の両側面に絶縁膜よりなる第1の側壁を形成すると共に、第2の絶縁ゲート電極のゲート長方向側の両側面に絶縁膜よりなる第2の側壁を形成する側壁形成工程と、第1の絶縁ゲート電極及び第1の側壁をマスクとしてドレイン領域における第1の絶縁ゲート電極の反第2の絶縁ゲート電極側の第1の領域に第2導電型の不純物をドーピングすることにより、ボディ領域を第1の領域に自己整合的に形成するボディ領域形成工程と、第1の絶縁ゲート電極及び第1の側壁をマスクとしてボディ領域に第1導電型の不純物を高濃度にドーピングすることにより、ソース領域をボディ領域に自己整合的に且つボディ領域の周辺部と間隔をおくように形成するソース領域形成工程と、第2の絶縁ゲート電極及び第2の側壁をマスクとしてドレイン領域における第2の絶縁ゲート電極の反第1の絶縁ゲート電極側の第2の領域に第1導電型の不純物を高濃度にドーピングすることにより、ドレインコンタクト領域を第2の領域に自己整合的に形成するドレインコンタクト領域形成工程とを備えている。

【0022】第2の半導体装置の製造方法によると、ドレイン領域の上に、該ドレイン領域とそれぞれ絶縁される第1の絶縁ゲート電極と第2の絶縁ゲート電極とを互いに間隔をおいて形成する絶縁ゲート電極形成工程と、第1及び第2の絶縁ゲート電極のゲート長方向側の各側面に絶縁膜よりなる第1及び第2の側壁をそれぞれ形成する側壁形成工程と、第2の絶縁ゲート電極及び第2の側壁をマスクとしてドレイン領域における第2の絶縁ゲート電極の反第1の絶縁ゲート電極側の領域に第1導電型の不純物を高濃度にドーピングすることにより、ドレインコンタクト領域を自己整合的に形成するドレインコンタクト領域形成工程とを備えているため、ドレインコンタクト領域におけるソース領域側の端部の位置は、第2の

絶縁ゲート電極の反ソース領域側の第2の側壁によって規制されるので、ソース・ドレインコンタクト間の距離のばらつきを抑えることができる。

【0023】第1又は第2の半導体装置の製造方法は、半導体基板における第1の絶縁ゲート電極と第2の絶縁ゲート電極との間の領域に、不純物濃度がドレイン領域よりも大きく且つソース領域又はドレインコンタクト領域よりも小さい第1導電型の不純物をドーピングすることにより、不純物拡散領域を第1の絶縁ゲート電極と第2の絶縁ゲート電極との間の領域に形成する不純物拡散領域10形成工程をさらに備えていることが好ましい。

【0024】第1又は第2の半導体装置の製造方法において、不純物拡散領域形成工程は、半導体基板におけるボディ領域の上端部とソース領域の下端部との間の領域と、ドレイン領域とドレインコンタクト領域の下端部との間の領域とに、不純物濃度がドレイン領域よりも大きく且つソース領域又はドレインコンタクト領域よりも小さい第1導電型の不純物をドーピングすることにより、不純物拡散領域をボディ領域の上端部とソース領域の下端部との間及びドレイン領域とドレインコンタクト領域の下端部との間の各領域にそれぞれ形成する工程を含むことが好ましい。

【0025】本発明に係る第3の半導体装置の製造方法は、一の半導体基板上に第1導電型の不純物を低濃度にドーピングすることにより、DMOSFET用のドレイン領域を形成するドレイン領域形成工程と、ドレイン領域の上に、該ドレイン領域とそれぞれ絶縁されるDMOSFET用の第1の絶縁ゲート電極と第2の絶縁ゲート電極とを互いに間隔をおいて形成すると共に、一の半導体基板の上にドレイン領域と間隔をおき且つ半導体基板と絶縁されるMOSFET用の第3の絶縁ゲート電極を形成する絶縁ゲート電極形成工程と、第1の絶縁ゲート電極をマスクとしてドレイン領域における第1の絶縁ゲート電極の反第2の絶縁ゲート電極側の第1の領域に第2導電型の不純物をドーピングすることにより、ボディ領域を第2の領域に自己整合的に形成するボディ領域形成工程と、第1の絶縁ゲート電極をマスクとしてボディ領域に第1導電型の不純物を高濃度にドーピングすることにより、ソース領域をボディ領域に自己整合的に且つボディ領域の周辺部と間隔をおくように形成するソース領域形成工程40と、第2の絶縁ゲート電極をマスクとしてドレイン領域における第2の絶縁ゲート電極の反第1の絶縁ゲート電極側の第2の領域に第1導電型の不純物を高濃度にドーピングすることにより、ドレインコンタクト領域を第2の領域に自己整合的に形成するドレインコンタクト領域形成工程と、第3の絶縁ゲート電極をマスクとして一の半導体基板における第3の絶縁ゲート電極の第2の絶縁ゲート電極側の第3領域に第1導電型の不純物を高濃度にドーピングすることにより、第1のソース・ドレイン領域を第3の領域に自己整合的に且つドレイン領域と間隔をおく50

ように形成すると共に、一の半導体基板における第3の絶縁ゲート電極の反第2の絶縁ゲート電極側の第4の領域に第1導電型の不純物を高濃度にドーピングすることにより、第2のソース・ドレイン領域を第4の領域に自己整合的に形成するソース・ドレイン領域形成工程とを備えている。

【0026】第3の半導体装置の製造方法によると、ドレイン領域の上に、該ドレイン領域とそれぞれ絶縁されるDMOSFET用の第1の絶縁ゲート電極と第2の絶縁ゲート電極とを互いに間隔をおいて形成すると共に、一の半導体基板の上にドレイン領域と間隔をおき且つ半導体基板と絶縁されるMOSFET用の第3の絶縁ゲート電極を形成する絶縁ゲート電極形成工程と、第2の絶縁ゲート電極をマスクとしてドレイン領域における第2の絶縁ゲート電極の反第1の絶縁ゲート電極側の領域に第1導電型の不純物を高濃度にドーピングすることにより、ドレインコンタクト領域を自己整合的に形成するドレインコンタクト領域形成工程とを備えているため、DMOSFET用のドレインコンタクト領域におけるソース領域側の端部の位置は、第2の絶縁ゲート電極の反ソース領域側の側面によって規制されるので、ソース・ドレインコンタクト間の距離のばらつきを抑えることができる。

【0027】さらに、DMOSFETとMOSFETとを一の半導体基板上に形成する際に、DMOSFET用の第1の絶縁ゲート電極及び第2の絶縁ゲート電極並びにMOSFET用の第3の絶縁ゲート電極とを一の工程で形成するため、半導体装置の製造に要するコストを増すことなく、オン抵抗のばらつきが減少したDMOSFETを製造でき、且つ、第2の絶縁ゲート電極はMOSFETの電気特性に影響を与えることはない。

【0028】本発明に係る第4の半導体装置の製造方法は、一の半導体基板上に第1導電型の不純物を低濃度にドーピングすることにより、DMOSFET用のドレイン領域を形成するドレイン領域形成工程と、ドレイン領域の上に、該ドレイン領域とそれぞれ絶縁されるDMOSFET用の第1の絶縁ゲート電極と第2の絶縁ゲート電極とを互いに間隔をおいて形成すると共に、一の半導体基板の上にドレイン領域と間隔をおき且つ半導体基板と絶縁されるMOSFET用の第3の絶縁ゲート電極を形成する絶縁ゲート電極形成工程と、一の半導体基板の上に全面にわたって絶縁膜を堆積した後、該絶縁膜に対してエッチバックを行なうことにより、第1の絶縁ゲート電極のゲート長方向側の両側面に絶縁膜よりなる第1の側壁を形成し、第2の絶縁ゲート電極のゲート長方向側の両側面に絶縁膜よりなる第2の側壁を形成し、第3の絶縁ゲート電極のゲート長方向側の両側面に絶縁膜よりなる第3の側壁を形成する側壁形成工程と、第1の絶縁ゲート電極及び第1の側壁をマスクとしてドレイン領域における第1の絶縁ゲート電極の反第2の絶縁ゲート電極側

の第1の領域に第2導電型の不純物をドーブすることにより、ボディ領域を第1の領域に自己整合的に形成するボディ領域形成工程と、第1の絶縁ゲート電極及び第1の側壁をマスクとしてボディ領域に第1導電型の不純物を高濃度にドーブすることにより、ソース領域をボディ領域に自己整合的に且つボディ領域の周辺部と間隔をおくように形成するソース領域形成工程と、第2の絶縁ゲート電極及び第2の側壁をマスクとしてドレイン領域における第2の絶縁ゲート電極の反第1の絶縁ゲート電極側の第2の領域に第1導電型の不純物を高濃度にドーブすることにより、ドレインコンタクト領域を第2の領域に自己整合的に形成するドレインコンタクト領域形成工程と、第3の絶縁ゲート電極をマスクとして一の半導体基板における第3の絶縁ゲート電極の第2の絶縁ゲート電極側の第3領域に第1導電型の不純物を高濃度にドーブすることにより、第1のソース・ドレイン領域を第3の領域に自己整合的に且つドレイン領域と間隔をおくように形成すると共に、一の半導体基板における第3の絶縁ゲート電極の反第2の絶縁ゲート電極側の第4の領域に第1導電型の不純物を高濃度にドーブすることにより、第2のソース・ドレイン領域を第4の領域に自己整合的に形成するソース・ドレイン領域形成工程とを備えている。

【0029】第4の半導体装置の製造方法によると、ドレイン領域の上に、該ドレイン領域とそれぞれ絶縁されるDMOSFET用の第1の絶縁ゲート電極と第2の絶縁ゲート電極とを互いに間隔をおいて形成すると共に、一の半導体基板の上にドレイン領域と間隔をおき且つ半導体基板と絶縁されるMOSFET用の第3の絶縁ゲート電極を形成する絶縁ゲート電極形成工程と、第1～第3の絶縁ゲート電極のゲート長方向側の各側面に絶縁膜よりなる第1～第3の側壁をそれぞれ形成する側壁形成工程と、第2の絶縁ゲート電極及び第2の側壁をマスクとしてドレイン領域における第2の絶縁ゲート電極の反第1の絶縁ゲート電極側の領域に第1導電型の不純物を高濃度にドーブすることにより、ドレインコンタクト領域を自己整合的に形成するドレインコンタクト領域形成工程とを備えているため、DMOSFET用のドレインコンタクト領域におけるソース領域側の端部の位置は第2の絶縁ゲート電極の反ソース領域側の側面によって規制されるので、ソース・ドレインコンタクト間の距離のばらつきを抑えることができる。

【0030】さらに、DMOSFETとMOSFETとを一の半導体基板上に形成する際に、DMOSFET用の第1の絶縁ゲート電極及び第2の絶縁ゲート電極並びにMOSFET用の第3の絶縁ゲート電極とを一の工程で形成するため、半導体装置の製造に要するコストを増すことなく、オン抵抗のばらつきが減少したDMOSFETを製造でき、且つ、第2の絶縁ゲート電極はMOSFETの電気特性に影響を与えることはない。

【0031】第3又は第4の半導体装置の製造方法は、一の半導体基板における第1の絶縁ゲート電極と第2の絶縁ゲート電極との間の領域に、不純物濃度がドレイン領域よりも大きく且つソース領域又はドレインコンタクト領域よりも小さい第1導電型の不純物をドーブすることにより、不純物拡散領域を第1の絶縁ゲート電極と第2の絶縁ゲート電極との間の領域に形成する不純物拡散領域形成工程をさらに備えていることが好ましい。

【0032】第3又は第4の半導体装置の製造方法において、不純物拡散領域形成工程は、一の半導体基板におけるボディ領域の上端部とソース領域の下端部との間の領域と、ドレイン領域とドレインコンタクト領域の下端部との間の領域とに、不純物濃度がドレイン領域よりも大きく且つソース領域又はドレインコンタクト領域よりも小さい第1導電型の不純物をドーブすることにより、不純物拡散領域をボディ領域の上端部とソース領域の下端部との間及びドレイン領域とドレインコンタクト領域の下端部との間の各領域にそれぞれ形成する工程と、一の半導体基板における第1のソース・ドレイン領域の下端部側の領域と第2のソース・ドレイン領域の下端部側の領域とに、不純物濃度が第1及び第2のソース・ドレイン領域よりも小さい第1導電型の不純物をドーブすることにより、不純物拡散領域を第1のソース・ドレイン領域の下端部側の領域と第2のソース・ドレイン領域の下端部側の領域とにそれぞれ形成する工程とを含むことが好ましい。

【0033】第1～第4の半導体装置の製造方法は、第1の絶縁ゲート電極と第2の絶縁ゲート電極とを電氣的に接続する工程をさらに備えていることが好ましい。

【0034】

【発明の実施の形態】

（第1の実施形態）本発明の第1の実施形態について図面を参照しながら説明する。

【0035】図1は本発明の第1の実施形態に係る半導体装置の断面構成を示している。図1において、不純物の導電型がP型で且つ面方位が(100)のシリコン単結晶よりなる半導体基板11に、DMOSFET1とMOSFET2とが所定の間隔をおいて形成されている。DMOSFET1において、半導体基板11の上部には、N型のドレイン領域13が形成され、半導体基板11の主面上には、ドレイン領域13の上面との間にゲート絶縁膜がそれぞれ介在され、第1の絶縁ゲート電極14Aとドレインコンタクト領域位置規制部材としての第2の絶縁ゲート電極14Bとが互いに間隔をおいて形成されている。ドレイン領域13の上部における第1の絶縁ゲート電極14Aの第2の絶縁ゲート電極14Bに対して反対側の領域にはP型のボディ領域16が第1の絶縁ゲート電極14Aに対して自己整合的に形成されており、該ボディ領域16はNチャネルMOSFETの場合のP型基板に相当する。ボディ領域16の上部には、ド

レイン領域13よりも不純物濃度が大きいN型の低濃度のソース側不純物拡散領域18Aが第1の絶縁ゲート電極14Aに対して自己整合的に且つボディ領域16の周辺部と間隔をおいて形成されており、ドレイン領域13の上部における第2の絶縁ゲート電極14Bの第1の絶縁ゲート電極14Aに対して反対側の領域には、ドレイン領域13よりも不純物濃度が大きいN型の低濃度のドレインコンタクト側不純物拡散領域18Bが第2の絶縁ゲート電極14Bに対して自己整合的に形成されており、ドレイン領域13の上部における第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間の領域には、ソース側不純物拡散領域18A及びドレインコンタクト側不純物拡散領域18Bと同様の不純物濃度であるN型の低抵抗領域18Cが形成されている。ソース側不純物拡散領域18Aの上部には、ソース側不純物拡散領域18Aよりも高濃度のソース領域20Aが第1の絶縁ゲート電極14Aに対して自己整合的に且つソース側不純物拡散領域18Aの周辺部と間隔をおいて形成されており、ドレインコンタクト側不純物拡散領域18Bの上部には、ドレインコンタクト側不純物拡散領域18Bよりも高濃度のドレインコンタクト領域20Bが第2の絶縁ゲート電極14Bに対して自己整合的に且つドレインコンタクト側不純物拡散領域18Bの周辺部と間隔をおいて形成されている。半導体基板11の上には、層間絶縁膜としてのNSG膜21が堆積され、該NSG膜21には、ソース領域20Aと電氣的に接続するためのソース配線22A、第1の絶縁ゲート電極14Aと電氣的に接続するための第1のゲート配線22B及びドレインコンタクト領域20Bと電氣的に接続するためのドレイン配線22Cがそれぞれ形成されている。

【0036】MOSFET2において、半導体基板11の主面には、DMOSFET1のドレイン領域13と所定の間隔をおいて第3の絶縁ゲート電極14Cが形成されている。半導体基板11の上部における第3の絶縁ゲート電極14Cの第2の絶縁ゲート電極14B側の領域には、ドレイン領域13よりも不純物濃度が大きいN型の第1の低濃度拡散領域18Dが第3の絶縁ゲート電極14Cに対して自己整合的に且つDMOSFET1のドレイン領域13と所定の間隔をおいて形成されており、半導体基板11の上部における第3の絶縁ゲート電極14Cの反第2の絶縁ゲート電極14B側の領域には、ドレイン領域13よりも不純物濃度が大きいN型の第2の低濃度拡散領域18Eが第3の絶縁ゲート電極14Cに対して自己整合的に形成されている。第1の低濃度拡散領域18Dの上部には、高不純物濃度の第1のソース・ドレイン領域20Cが第3の絶縁ゲート電極14Cに対して自己整合的に且つ第1の低濃度拡散領域18Dの周辺部と間隔をおいて形成されており、第2の低濃度拡散領域18Eの上部には、高濃度の第2のソース・ドレイン領域20Dが第3の絶縁ゲート電極14Cに対して自

己整合的に且つ第2の低濃度拡散領域18Eの周辺部と間隔をおいて形成されている。NSG膜21には、第1のソース・ドレイン領域20Cと電氣的に接続するための第1のソース・ドレイン配線22D、第3の絶縁ゲート電極14Cと電氣的に接続するための第2のゲート配線22E及び第2のソース・ドレイン領域20Dと電氣的に接続するための第2のソース・ドレイン配線22Fがそれぞれ形成されている。

【0037】このように、本実施形態によると、DMOSFET1において、第1の絶縁ゲート電極と同様の構成を有し、ダミーである第2の絶縁ゲート電極14Bが、半導体基板11の主面における第1の絶縁ゲート電極14Aとドレインコンタクト領域20Bとの間の領域に形成されているため、ソース領域20Aとドレインコンタクト領域20Bとの距離が第2の絶縁ゲート電極14Bのドレインコンタクト領域20B側の端部の位置によって自己整合的に規制されるので、オン抵抗を決定するソース・ドレインコンタクト間の距離のばらつきを抑制することができる。

【0038】さらに、本実施形態においては、半導体基板11の上部における第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間の領域に、N型の不純物濃度がドレイン領域よりも大きい低抵抗領域18Cが設けられているため、半導体基板11の上部におけるソース・ドレインコンタクト間で該低抵抗領域18C分の抵抗が小さくなるので、オン抵抗が低減する。

【0039】また、ソース領域20A、ドレインコンタクト領域20B、第1のソース・ドレイン領域20C及び第2のソース・ドレイン領域20Dの各高濃度不純物領域は、それぞれ低濃度の不純物領域18A、18B、18D、18Eにより囲まれ、いわゆるDDD構造を有しているため、各高濃度不純物領域に高電界が印加されたとしても、各高濃度不純物領域の周辺部の電界が緩和されるので、DMOSFET1及びMOSFET2の両装置の耐圧がさらに向上する。

【0040】以下、本実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【0041】図2及び図3は本実施形態に係る半導体装置の製造方法における工程順の断面構成を示している。まず、図2(a)に示すように、例えば、比抵抗が $10 \sim 20 \Omega \cdot \text{cm}$ で面方位の(100)面を主面とするP型の半導体基板11上に、DMOSFET1用のドレイン形成領域に開口部を有する第1のレジストパターン12を形成した後、該第1のレジストパターン12をマスクとして、例えば、注入エネルギーが 100 keV 、ドーズ量が $2 \times 10^{12} \text{ cm}^{-2}$ 程度の低濃度のN型不純物イオンとしてのリンイオンを半導体基板11に注入し、その後、該半導体基板11に対して熱処理を行なってリンイオンを活性化させることにより、ドレイン領域13を形成する。

【0042】次に、図2(b)に示すように、半導体基板11に対して、例えば温度が900℃の熱酸化を行なって、半導体基板11の上部に厚さが15nm程度のゲート酸化膜24を形成した後、半導体基板11の上に全面にわたって多結晶シリコン膜25を堆積する。その後、多結晶シリコン膜25に対して選択的にエッチングを行なって、半導体基板11上のドレイン領域13に互いに間隔をおいて、ゲート酸化膜24と多結晶シリコン膜25とからなり、DMOSFET1用の第1の絶縁ゲート電極14A及びダミーの第2の絶縁ゲート電極形成14B並びにMOSFET2用の第3の絶縁ゲート電極14Cを形成する。

【0043】次に、図2(c)に示すように、半導体基板11上に、DMOSFET1用のボディ形成領域に開口部を有する第2のレジストパターン15を形成した後、該第2のレジストパターン15及び第1の絶縁ゲート電極14Aの反第2の絶縁ゲート電極側の端部をマスクとして、例えば、注入エネルギーが140keV、ドーズ量が $1 \times 10^{14} \text{ cm}^{-2}$ 程度のP型不純物イオンとしてのボロンイオンを半導体基板11のドレイン領域13に注入し、その後、該半導体基板11に対して熱処理を行なってボロンイオンを活性化させることにより、第1の絶縁ゲート電極14Aに対して自己整合的にボディ領域16を形成する。

【0044】次に、図2(d)に示すように、半導体基板11上に、DMOSFET1用のN型低濃度不純物拡散形成領域及びMOSFET2用のN型低濃度拡散形成領域にそれぞれ開口部を有する第3のレジストパターン17を形成した後、該第3のレジストパターン17及び第1～第3の絶縁ゲート電極14A、14B、14Cの各ゲート長方向の端部をマスクとして、例えば、注入エネルギーが30keV、ドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ 程度の低濃度のN型不純物イオンとしてのリンイオンを半導体基板11の上部に注入し、その後、該半導体基板11に対して熱処理を行なってリンイオンを活性化させることにより、DMOSFET1におけるソース側不純物拡散領域18A、ドレインコンタクト側不純物拡散領域18B及び低抵抗領域18C、並びにMOSFET2における第1の低濃度拡散領域18D及び第2の低濃度拡散領域18Eを各絶縁ゲート電極14A、14B、14Cに対してそれぞれ自己整合的に形成する。

【0045】次に、図3(a)に示すように、半導体基板11上に、DMOSFET1用のソース形成領域及びドレインコンタクト形成領域、並びにMOSFET2用のソース・ドレイン形成領域にそれぞれ開口部を有する第4のレジストパターン19を形成した後、該第4のレジストパターン19及び第1～第3の絶縁ゲート電極14A、14B、14Cのゲート長方向の各端部をマスクとして、例えば、注入エネルギーが30keV、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ 程度の高濃度のN型不純物イオン

としてのヒ素イオンを半導体基板11の上部に注入し、その後、該半導体基板11に対して熱処理を行なってヒ素イオンを活性化させることにより、DMOSFET1におけるソース領域20A及びドレインコンタクト領域20B、並びにMOSFET2における第1のソース・ドレイン領域20C及び第2のソース・ドレイン領域20Dを各絶縁ゲート電極14A、14B、14Cに対してそれぞれ自己整合的に形成する。

【0046】次に、図3(b)に示すように、半導体基板11の上に、例えば、減圧CVD法を用いて、厚さが800nm程度のNSG膜21を層間絶縁膜として全面にわたって堆積する。その後、該NSG膜21の上に、DMOSFET1におけるソース領域20A、第1の絶縁ゲート電極14A及びドレインコンタクト領域20B、並びにMOSFET2における第1のソース・ドレイン領域20C、第3の絶縁ゲート電極14C及び第2のソース・ドレイン領域20Dの各上面の一部を露出するレジストパターン(図示せず)を形成し、該レジストパターンをマスクとしてNSG膜21に対してドライエッチングを行なうことにより、コンタクトホールをそれぞれ形成する。その後、例えば、スパッタリング法を用いて、半導体基板11の上に全面にわたってアルミニウム等よりなる金属膜(図示せず)を堆積した後、該金属膜の上に所定のレジストパターン(図示せず)を形成し、該レジストパターンをマスクとして該金属膜に対してエッチングを行なうことにより、DMOSFET1におけるソース配線22A、第1のゲート配線22B及びドレイン配線22C、並びにMOSFET2における第1のソース・ドレイン配線22D、第2のゲート配線22E及び第2のソース・ドレイン配線22Fをそれぞれ形成する。

【0047】このように、本実施形態に係る製造方法によると、DMOSFET1の第1の絶縁ゲート電極14Aを形成する工程において、ドレインコンタクト領域位置規制部材であるダミーの第2の絶縁ゲート電極14Bを形成し、該第2の絶縁ゲート電極14Bの反第1の絶縁ゲート電極側の端部を用いてドレインコンタクト領域20Bを自己整合的に形成している。これにより、従来、レジスト膜を用いたドレインコンタクト領域と異なり、レジスト膜形成時のレジスト膜の寸法のマージンを見込む必要がなくなるため、ソース・ドレインコンタクト間の距離にばらつきが生じにくくなるので、その結果、DMOSFET1におけるオン抵抗のばらつきが減少する。その上、ドレインコンタクト領域位置規制部材を第1の絶縁ゲート電極14Aと同様の構成としており、新たな工程を設ける必要がないので、ドレインコンタクト領域位置規制部材を形成するコストをほとんど無視できる。

【0048】さらに、MOSFET2における各低濃度拡散領域18D、18Eを形成する工程において、半導

体基板11における第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間の領域にドレイン領域13よりも不純物濃度が大きい低抵抗領域18Cを設けているため、新たな工程を付加することなくDMOSFET1のオン抵抗が低減するという効果が生じる。なお、いうまでもなく、このドレインコンタクト領域位置規制部材である第2の絶縁ゲート電極14Bと低抵抗領域18Cとは、MOSFET2に対して何ら特性に影響を与えることがない。

【0049】（第1の実施形態の第1変形例）以下、本実施形態の第1変形例について図面を参照しながら説明する。

【0050】図4は第1の実施形態の第1変形例に係る半導体装置の断面構成を示している。図4において、図1の構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。図4に示すように、本変形例の特徴として、DMOSFET1において、半導体基板11の主面における第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間の領域に形成され、ダミーの第2の絶縁ゲート電極14Bと同様の構成を有するソース・ドレイン間拡張部材としての第4の絶縁ゲート電極14Dを備え、さらに、半導体基板11の上部における第1の絶縁ゲート電極14Aと第4の絶縁ゲート電極14Dとの間の領域には、低抵抗領域18Cと同様のN型の不純物濃度を有する低抵抗領域18Fが形成されている。

【0051】このように、本変形例によると、第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間の距離を大きくすることにより、耐圧の向上を図っている。

【0052】ここで、第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間の距離を大きくし、且つ、ソース・ドレイン間拡張部材としての第4の絶縁ゲート電極14D、低抵抗領域18C、18Fをいずれも設けない場合を考察する。この場合には、第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間の距離が大きくなるため耐圧が向上するものの、ソース・ドレインコンタクト間のオン抵抗は増加する。そのため、半導体基板11の上部における第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間の領域にドレイン領域13よりも不純物濃度が大きい低抵抗領域を連続して形成することも考えられる。

【0053】しかしながら、一般に、DMOSFET1において、ドレインコンタクト領域20Bに電圧が印加されると、P型のボディ領域16における第1の絶縁ゲート電極14A下のN型のドレイン領域13との界面、すなわち、ボディ領域16とドレイン領域13とからなるPN接合面に発生する空乏層はゲート長方向の双方向に広がっていくため、N型のソース側不純物拡散領域18Aと接触してしまい、いわゆるパンチスルーが発生し

て第1の絶縁ゲート電極14Aでキャリアを制御できなくなる。ここで、パンチスルーを生じにくくするには、空乏層がドレインコンタクト領域20B側に広がるように、半導体基板11の上部におけるボディ領域16のドレインコンタクト領域20B側の濃度を小さくすればよいことが分かっている。

【0054】従って、前述のように、半導体基板11の上部における第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間の領域に連続して広がる、ドレイン領域13よりも不純物濃度が大きい低抵抗領域を形成したのでは、ドレインコンタクト領域20B側の不純物濃度を小さくできないため、パンチスルーを抑制できない。

【0055】そこで、本変形例においては、半導体基板11の上部における、第1の絶縁ゲート電極14Aと第4の絶縁ゲート電極14Dとの間の領域及び第2の絶縁ゲート電極14Bと第4の絶縁ゲート電極14Dとの間の領域にそれぞれ低抵抗領域18C、18Fが形成され、各低抵抗領域の間に該低抵抗領域よりも不純物濃度が小さいドレイン領域13が介在しているため、空乏層がよりドレインコンタクト領域20B側に広がりやすくなる。その結果、パンチスルーが生じにくくなり、耐圧を向上させることができる。

【0056】逆に、第2の絶縁ゲート電極14Bと第4の絶縁ゲート電極14Dとを一体に形成した場合には、低抵抗領域が形成できなくなるのでオン抵抗が増大することになる。

【0057】以上のことから、本変形例は、半導体基板11の主面におけるソース領域とドレインコンタクト領域との間に、ソース・ドレイン間拡張部材とドレインコンタクト位置規制部材とを互いに間隔をおいて、いわば格子状に設け、且つ、半導体基板11の上部におけるこれらの部材の間の領域にドレイン領域13よりも不純物濃度が大きい低抵抗領域を格子状に設けることより、耐圧の向上とオン抵抗の低減との両立を図っている。

【0058】なお、図4のDMOSFET1において、1つのソース・ドレイン間拡張部材を設けたが、耐圧とオン抵抗との関係が良好となる範囲で複数のソース・ドレイン間拡張部材を設けてもよい。

【0059】（第1の実施形態の第2変形例）以下、本実施形態の第2変形例について図面を参照しながら説明する。

【0060】図5は第1の実施形態の第2変形例に係る半導体装置の断面構成を示している。図5において、図1の構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。図5に示すように、本変形例の特徴として、第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとが同電位に制御できるように第1のゲート配線22Gを用いて、第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの配線が電氣的に

接続されている。

【0061】これにより、第1のゲート配線に電圧を印加すると、半導体基板11の上部における第2の絶縁ゲート電極14Bの下側の領域にキャリアが集中するため、オン抵抗がさらに低減する。また、新たな工程を必要としないため、DMOSFET1の製造に要するコストが増大することなく、MOSFET2の特性に何ら影響を与えることもない。

【0062】なお、前記の第1変形例のように、第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間に第4の絶縁ゲート電極14Dを設け、第1の絶縁ゲート電極14A、第2の絶縁ゲート電極14B及び第4の絶縁ゲート電極14Dとを電気的に接続しても同様の効果を得られることはいふまでもない。

【0063】(第2の実施形態)本発明の第2の実施形態について図面を参照しながら説明する。

【0064】図6は本発明の第2の実施形態に係る半導体装置の断面構成を示している。図6において、図1に示した構成要素同一の構成要素には同一の符号を付すことにより説明を省略する。第1の実施形態においては、DMOSFET1のソース領域20A及びドレインコンタクト領域20B、並びにMOSFET2の第1及び第2のソース・ドレイン領域20C、20DはいずれもDDDD構造としているが、本実施形態においては各領域をいずれもLDD構造としている点に特徴がある。従って、DMOSFET1において、第1の絶縁ゲート電極14Aのゲート長方向の両側面には第1の側壁である第1のサイドウォール31Aが形成され、第2の絶縁ゲート電極14Bのゲート長方向の両側面には第2の側壁である第2のサイドウォール31Bが形成され、MOSFET2において、第3の絶縁ゲート電極14Cのゲート長方向の両側面には第3の側壁である第3のサイドウォール31Cが形成されている。DMOSFET1において、32Aは第1の絶縁ゲート電極14Aの反第2の絶縁ゲート電極14B側の第1のサイドウォール31Aを用いて自己整合的に形成されたN型の高濃度のソース領域であり、32Bは第2の絶縁ゲート電極14Bの反第1の絶縁ゲート電極14A側の第2のサイドウォール31Bを用いて自己整合的に形成されたN型の高濃度のドレインコンタクト領域である。同様に、MOSFET2において、32Cは第3の絶縁ゲート電極14Cの第2の絶縁ゲート電極14B側の第3のサイドウォール31Cを用いて自己整合的に形成されたN型の高濃度の第1のソース・ドレイン領域であり、32Dは第3の絶縁ゲート電極14Cの反第2の絶縁ゲート電極側の第3のサイドウォール31Cを用いて自己整合的に形成されたN型の高濃度の第2のソース・ドレイン領域である。

【0065】これらの各高濃度不純物領域はサイドウォールが形成されている分だけ各領域が小さくなっており、逆に、低濃度の不純物拡散領域18A、18B、1

8D、18Eがそれぞれ大きくなっているため、高濃度不純物領域の周縁部の電界が一層緩和されるので、耐圧がさらに向上する。

【0066】以下、本実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【0067】図7及び図8は本実施形態に係る半導体装置の製造方法における工程順の断面構成を示している。まず、図7(a)に示すように、例えば、比抵抗が $10 \sim 20 \Omega \cdot \text{cm}$ で面方位の(100)面を主面とするP型の半導体基板11上に、DMOSFET1用のドレイン形成領域に開口部を有する第1のレジストパターン12を形成した後、該第1のレジストパターン12をマスクとして、例えば、注入エネルギーが 100 keV 、ドーズ量が $2 \times 10^{12} \text{ cm}^{-2}$ 程度の低濃度のリンイオンを半導体基板11に注入し、その後、該半導体基板11に対して熱処理を行なってリンイオンを活性化させることにより、N型のドレイン領域13を形成する。

【0068】次に、図7(b)に示すように、半導体基板11に対して、例えば温度が 900°C の熱酸化を行なって、半導体基板11の上部に厚さが 15 nm 程度のゲート酸化膜24を形成した後、半導体基板11の上に全面にわたって多結晶シリコン膜25を堆積する。その後、多結晶シリコン膜25に対して選択的にエッチングを行なって、半導体基板11上のドレイン領域13と間隔をおいて、ゲート酸化膜24と多結晶シリコン膜25とからなり、DMOSFET1用の第1の絶縁ゲート電極14A及び第2の絶縁ゲート電極形成14B並びにMOSFET2用の第3の絶縁ゲート電極14Cを形成する。

【0069】次に、図7(c)に示すように、半導体基板11上に、DMOSFET1用のボディ形成領域に開口部を有する第2のレジストパターン15を形成した後、該第2のレジストパターン15及び第1の絶縁ゲート電極14Aの反第2の絶縁ゲート電極側の端部をマスクとして、例えば、注入エネルギーが 140 keV 、ドーズ量が $1 \times 10^{14} \text{ cm}^{-2}$ 程度のボロンイオンを半導体基板11のドレイン領域13に注入し、その後、該半導体基板11に対して熱処理を行なってボロンイオンを活性化させることにより、第1の絶縁ゲート電極14Aに対して自己整合的にP型のボディ領域16を形成する。

【0070】次に、図7(d)に示すように、半導体基板11上に、DMOSFET1用のN型低濃度不純物拡散形成領域及びMOSFET2用の低濃度拡散形成領域にそれぞれ開口部を有する第3のレジストパターン17を形成した後、該第3のレジストパターン17及び第1～第3の絶縁ゲート電極14A、14B、14Cの各ゲート長方向の端部をマスクとして、例えば、注入エネルギーが 30 keV 、ドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ 程度の低濃度のリンイオンを半導体基板11の上部に注入し、その後、該半導体基板11に対して熱処理を行なってリ

ンイオンを活性化させることにより、DMOSFET1におけるN型のソース側不純物拡散領域18A、N型のドレインコンタクト側不純物拡散領域18B及びn型の低抵抗領域18C、並びにMOSFET2におけるN型の第1の低濃度拡散領域18D及びN型の第2の低濃度拡散領域18Eを各絶縁ゲート電極14A、14B、14Cに対してそれぞれ自己整合的に形成する。

【0071】次に、図8(a)に示すように、半導体基板11の上に全面にわたって、例えば厚さが160nm程度のシリコン酸化膜(図示せず)を堆積し、その後、
10 該シリコン酸化膜に対して等方性のエッチングを行なうことにより、第1の絶縁ゲート電極14Aのゲート長方向側の両側面に第1のサイドウォール31Aを形成し、第2の絶縁ゲート電極14Bのゲート長方向側の両側面に第2のサイドウォール31Bを形成し、第3の絶縁ゲート電極14Cのゲート長方向側の両側面に第3のサイドウォール31Cを形成する。ここで、図8(a)に示すように、第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間隔が狭い場合には、第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間に
20 形成される第1のサイドウォール31Aと第2のサイドウォール31Bとは一体に形成される。

【0072】次に、図8(b)に示すように、半導体基板11上に、DMOSFET1用のソース形成領域及びドレインコンタクト形成領域、並びにMOSFET2用のソース・ドレイン形成領域にそれぞれ開口部を有する第4のレジストパターン19を形成した後、該第4のレジストパターン19及び第1～第3の絶縁ゲート電極14A、14B、14Cのゲート長方向の各サイドウォール31A、31B、31Cをマスクとして、例えば、注
30 入エネルギーが30keV、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ 程度の高濃度のヒ素イオンを半導体基板11の上部に注入し、その後、該半導体基板11に対して熱処理を行なってヒ素イオンを活性化させることにより、DMOSFET1におけるN型のソース領域32A及びN型のドレインコンタクト領域32B、並びにMOSFET2におけるN型の第1のソース・ドレイン領域32C及びN型の第2のソース・ドレイン領域32Dを各サイドウォール31A、31B、31Cに対してそれぞれ自己整合
40 的に形成する。

【0073】次に、図8(c)に示すように、半導体基板11の上に、例えば、減圧CVD法を用いて厚さが800nm程度のNSG膜21を層間絶縁膜として全面にわたって堆積する。その後、該NSG膜21の上に、DMOSFET1におけるソース領域32A、第1の絶縁ゲート電極14A及びドレインコンタクト領域32B、並びにMOSFET2における第1のソース・ドレイン領域32C、第3の絶縁ゲート電極14C及び第2のソース・ドレイン領域32Dの各上面の一部を露出するレ
50 ジストパターン(図示せず)を形成し、該レジストパタ

ーンをマスクとして、NSG膜21に対してドライエッチングを行なうことにより、コンタクトホールをそれぞれ形成する。その後、例えば、スパッタリング法を用いて、半導体基板11の上に全面にわたってアルミニウム等よりなる金属膜(図示せず)を堆積した後、該金属膜の上に所定のレジストパターン(図示せず)を形成し、該レジストパターンをマスクとして該金属膜に対してエッチングを行なうことにより、DMOSFET1におけるソース配線22A、第1のゲート配線22B及びドレイン配線22C、並びにMOSFET2における第1のソース・ドレイン配線22D、第2のゲート配線22E及び第2のソース・ドレイン配線22Fをそれぞれ形成する。

【0074】このように、本実施形態によると、DMOSFET1の第1の絶縁ゲート電極14Aを形成する工程において、ドレインコンタクト領域位置規制部材であるダミーの第2の絶縁ゲート電極14Bを形成し、該第2の絶縁ゲート電極14Bの反第1の絶縁ゲート電極側の第2のサイドウォール31Bを用いてドレインコンタクト領域32Bを自己整合的に形成している。これにより、従来、レジスト膜を用いたドレインコンタクト領域と異なり、レジスト膜形成時のレジスト膜の寸法のマージンを見込む必要がなくなるため、ソース・ドレインコンタクト間の距離にばらつきが生じにくくなるので、その結果、DMOSFET1におけるオン抵抗のばらつきが抑制される。その上、ドレインコンタクト領域位置規制部材を第1の絶縁ゲート電極14Aと同様の構成としており、新たな工程を設ける必要がないので、ドレインコンタクト領域位置規制部材を形成するコストをほとんど無視できる。

【0075】さらに、MOSFET2における各低濃度拡散領域18D、18Eを形成する工程において、半導体基板11における第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間の領域にドレイン領域13よりも不純物濃度が大きい低抵抗領域18Cを設けているため、新たな工程を付加することなくDMOSFET1のオン抵抗が低減するという効果が生じる。なお、いうまでもなく、このドレインコンタクト領域位置規制部材である第2の絶縁ゲート電極14Bと低抵抗領域18Cとは、MOSFET2に対して何ら特性に影響を与
えることがない。

【0076】また、第1の実施形態の第1変形例と同様に、半導体基板11の主面における第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの間の領域に、ダミーの第2の絶縁ゲート電極14Bと同様の構成を有するソース・ドレイン間拡張部材を設けてもよい。

【0077】(第2の実施形態の第1変形例)以下、本実施形態の第1変形例について図面を参照しながら説明する。

【0078】図9は第2の実施形態の第1変形例に係る

半導体装置の断面構成を示している。図9において、図6の構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。図9に示すように、本変形例の特徴として、第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとが同電位に制御できるように第1のゲート配線22Gを用いて、第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14Bとの配線が電氣的に接続されている。

【0079】これにより、第1のゲート配線に電圧を加加すると、半導体基板11の上部における第2の絶縁ゲート電極14Bの下側の領域にキャリアが集中するため、オン抵抗がさらに低減する。また、新たな工程を必要としないため、DMOSFET1の製造に要するコストが増大することなく、MOSFET2の特性に何ら影響を与えることもない。

【0080】なお、第1及び第2の実施形態及び各変形例においては、DMOSFET1及びMOSFET2のチャネルの型をいずれもNチャネル型としたが、Pチャネル型であっても同様の効果を有することは明らかである。

【0081】また、ソース・ドレイン間拡張部材及びドレインコンタクト位置規制部材に絶縁ゲート電極と同様の形状及び同様の部材を用いたが、これに限らず、半導体基板の主面と接する面が絶縁体であって、耐圧とオン抵抗との関係が良好となる範囲であれば形状を問わない。

【0082】また、第1の絶縁ゲート電極14Aと第2の絶縁ゲート電極14BとはDMOSFET1形成領域の外部で接続されていてもよい。

【0083】

【発明の効果】本発明の半導体装置によると、ドレインコンタクト領域におけるソース領域側の端部の位置は、ドレインコンタクト領域位置規制部材の反ソース領域側の側面によって自己整合的に規制されているため、ソース・ドレインコンタクト間の距離のばらつきが抑えられているので、ソース・ドレインコンタクト間の距離で規定されるオン抵抗のばらつきが減少する。

【0084】本発明の半導体装置が、半導体基板の上部における絶縁ゲート電極とドレインコンタクト領域位置規制部材との間の領域に形成され、第1導電型の不純物がその不純物濃度がドレイン領域よりも大きく且つソース領域又はドレインコンタクト領域よりも小さくドーブされてなる低抵抗領域をさらに備えていると、半導体基板における絶縁ゲート電極とドレインコンタクト領域位置規制部材との間の領域の抵抗が小さくなるので、オン抵抗が低減し、特性がさらに向上する。

【0085】本発明の半導体装置において、絶縁ゲート電極が第1の絶縁ゲート電極であり、ドレインコンタクト領域位置規制部材が半導体基板と絶縁されて形成された第2の絶縁ゲート電極であると、ドレインコンタクト

領域位置規制部材が確実に形成される。

【0086】本発明の半導体装置において、第1の絶縁ゲート電極と第2の絶縁ゲート電極とが電氣的に接続されていると、半導体基板における第2の絶縁ゲート電極下のソース・ドレインコンタクト間の抵抗が小さくなるので、さらにオン抵抗が低減する。

【0087】本発明の半導体装置が、半導体基板の上における絶縁ゲート電極とドレインコンタクト領域位置規制部材との間の領域にそれぞれ間隔をおいて形成され、少なくとも半導体基板と接する部分が絶縁体よりなるソース・ドレイン間拡張部材と、半導体基板における絶縁ゲート電極とソース・ドレイン間拡張部材との間の領域及びソース・ドレイン間拡張部材とドレインコンタクト領域位置規制部材との間の領域にそれぞれ形成され、第1導電型の不純物がその不純物濃度がドレイン領域よりも大きく且つソース領域又はドレインコンタクト領域よりも小さくドーブされてなる低抵抗領域とをさらに備えていると、ソース領域とドレインコンタクト領域との間の領域に、ソース・ドレイン間拡張部材とドレインコンタクト領域位置規制部材とが形成されるため、ソース・ドレインコンタクト間が拡張されるので、耐圧が向上すると共に、半導体基板における絶縁ゲート電極、拡張部材及び位置規制部材の間の領域に、不純物濃度がドレイン領域よりも大きい低抵抗領域が形成されているため、半導体基板における絶縁ゲート電極とドレインコンタクト領域位置規制部材との間の領域の抵抗が小さくなるので、オン抵抗の増加が抑制される。

【0088】本発明の半導体装置において、絶縁ゲート電極が第1の絶縁ゲート電極であり、ドレインコンタクト領域位置規制部材が半導体基板と絶縁されて形成された第2の絶縁ゲート電極であり、ソース・ドレイン間拡張部材が半導体基板と絶縁されて形成された第3の絶縁ゲート電極であると、ドレインコンタクト領域位置規制部材及びソース・ドレイン間拡張部材が確実に形成される。

【0089】本発明の半導体装置において、第1の絶縁ゲート電極と第2の絶縁ゲート電極と第3の絶縁ゲート電極とが電氣的に接続されていると、半導体基板における第2及び第3の絶縁ゲート電極下のソース・ドレインコンタクト間の抵抗が小さくなるので、さらにオン抵抗が低減する。

【0090】本発明の半導体装置が、半導体基板におけるボディ領域の上端部側とソース領域の下端部側との間の領域に形成され、低抵抗領域と同様の不純物濃度プロファイルを有するソース側不純物拡散領域と、半導体基板におけるドレイン領域とドレインコンタクト領域の下端部側との間の領域に形成され、低抵抗領域と同様の不純物濃度プロファイルを有するドレインコンタクト側不純物拡散領域とをさらに備えていると、ソース領域とボディ領域との界面及びドレインコンタクト領域とドレイ

ン領域との界面において電界が緩和されるため、さらに耐圧が向上する。

【0091】本発明の半導体装置において、絶縁ゲート電極及びドレインコンタクト領域位置規制部材のゲート長方向の両側面には、それぞれ絶縁膜よりなる側壁が密着して形成されており、ソース領域におけるドレインコンタクト領域側の端部の位置は、絶縁ゲート電極の反ドレインコンタクト領域側の側壁により自己整合的に規制されていると共に、ドレインコンタクト領域におけるソ

ース領域側の端部の位置は、ドレインコンタクト領域位置規制部材の反ソース領域側の側壁により自己整合的に規制されていると、ソース領域及びドレインコンタクト領域はLDD構造となるので、耐圧がさらに向上する。

【0092】本発明の第1の半導体装置の製造方法によると、ドレインコンタクト領域におけるソース領域側の端部の位置が、第2の絶縁ゲート電極の反ソース領域側の側面によって規制されるため、ソース・ドレインコンタクト間の距離のばらつきを抑えることができるので、オン抵抗のばらつきを減少させることができる。

【0093】本発明の第2の半導体装置の製造方法によると、ドレインコンタクト領域におけるソース領域側の端部の位置が第2の絶縁ゲート電極の反ソース領域側の第2の側壁によって規制されるため、ソース・ドレインコンタクト間の距離のばらつきを抑えることができるので、オン抵抗のばらつきを減少させることができる。

【0094】さらに、ソース領域及びドレインコンタクト領域がそれぞれLDD構造を有するため耐圧が一層向上する。

【0095】本発明の第1又は第2の半導体装置の製造方法が、半導体基板における第1の絶縁ゲート電極と第2の絶縁ゲート電極との間の領域に、不純物濃度がドレイン領域よりも大きく且つソース領域又はドレインコンタクト領域よりも小さい第1導電型の不純物をドーブすることにより、不純物拡散領域を第1の絶縁ゲート電極と第2の絶縁ゲート電極との間の領域に形成する不純物拡散領域形成工程をさらに備えていると、1の絶縁ゲート電極と第2の絶縁ゲート電極との間に形成された不純物拡散領域は、不純物濃度がドレイン領域よりも大きい

ため、ドレイン領域よりも抵抗が小さくなるので、オン抵抗を低減させることができる。

【0096】本発明の第1又は第2の半導体装置の製造方法において、不純物拡散領域形成工程が、半導体基板におけるボディ領域の上端部とソース領域の下端部との間の領域と、ドレイン領域とドレインコンタクト領域の下端部との間の領域とに、不純物濃度がドレイン領域よりも大きく且つソース領域又はドレインコンタクト領域よりも小さい第1導電型の不純物をドーブすることにより、不純物拡散領域をボディ領域の上端部とソース領域の下端部との間及びドレイン領域とドレインコンタクト領域の下端部との間の各領域にそれぞれ形成する工程を

含むと、ソース領域とボディ領域との界面及びドレインコンタクト領域とドレイン領域との界面において電界が緩和されるため、さらに耐圧が向上する。

【0097】本発明の第3の半導体装置の製造方法によると、第1の半導体装置の製造方法の効果が得られる上に、DMOSFET用の第1の絶縁ゲート電極及びダミーの第2の絶縁ゲート電極並びにMOSFET用の第3の絶縁ゲート電極とを一の工程で形成するため、半導体装置の製造に要するコストが増すことなく且つMOSFETの電気特性に影響を与えることなく、オン抵抗のばらつきが抑制されたDMOSFETを製造できる。

【0098】本発明の第4の半導体装置の製造方法によると、第3の半導体装置の製造方法の効果が得られる上に、DMOSFET用の第1の絶縁ゲート電極及びダミーの第2の絶縁ゲート電極並びにMOSFET用の第3の絶縁ゲート電極とを一の工程で形成するため、半導体装置の製造に要するコストが増すことなく且つMOSFETの電気特性に影響を与えることなく、オン抵抗のばらつきが抑制されたDMOSFETを製造できる。また、ソース領域及びドレインコンタクト領域がそれぞれLDD構造を有するため耐圧が一層向上する。

【0099】本発明の第3又は第4の半導体装置の製造方法が、半導体基板における第1の絶縁ゲート電極と第2の絶縁ゲート電極との間の領域に、不純物濃度がドレイン領域よりも大きく且つソース領域又はドレインコンタクト領域よりも小さい第1導電型の不純物をドーブすることにより、不純物拡散領域を第1の絶縁ゲート電極と第2の絶縁ゲート電極との間の領域に形成する不純物拡散領域形成工程をさらに備えていると、1の絶縁ゲート電極と第2の絶縁ゲート電極との間に形成された不純物拡散領域は、不純物濃度がドレイン領域よりも大きい

ため、ドレイン領域よりも抵抗が小さくなるので、オン抵抗を低減させることができる。

【0100】本発明の第3又は第4の半導体装置の製造方法において、不純物拡散領域形成工程は、不純物拡散領域を、ボディ領域の上端部とソース領域の下端部との間及びドレイン領域とドレインコンタクト領域の下端部との間の各領域にそれぞれ形成する工程と、第1のソース・ドレイン領域の下端部側の領域と第2のソース・ドレイン領域の下端部側の領域とにそれぞれ形成する工程とを含むため、DMOSFET及びMOSFETのLDD構造を一の工程で確実に形成することができる。

【0101】本発明の第1～4の半導体装置の製造方法が、第1の絶縁ゲート電極と第2の絶縁ゲート電極とを電氣的に接続する工程をさらに備えていると、半導体基板における第2の絶縁ゲート電極下のソース・ドレインコンタクト間の抵抗が小さくなるので、さらにオン抵抗が低減する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置を示

す構成断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順断面図である。

【図3】本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順断面図である。

【図4】本発明の第1の実施形態の第1変形例に係る半導体装置を示す構成断面図である。

【図5】本発明の第1の実施形態の第2変形例に係る半導体装置を示す構成断面図である。

【図6】本発明の第2の実施形態に係る半導体装置を示す構成断面図である。

【図7】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程順断面図である。

【図8】本発明の第2の実施形態に係る半導体装置の製造方法を示す工程順断面図である。

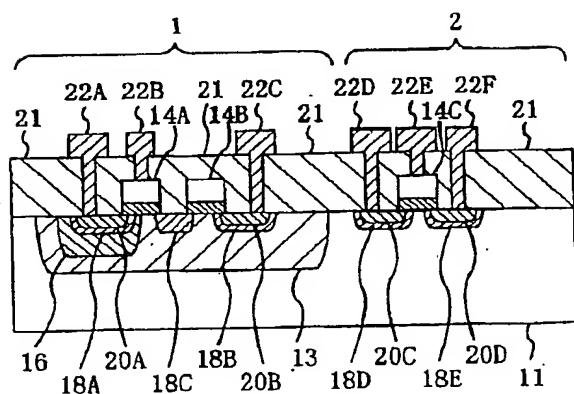
【図9】本発明の第2の実施形態の第1変形例に係る半導体装置を示す構成断面図である。

【図10】従来のDMOSFETの製造方法を示す工程順断面図である。

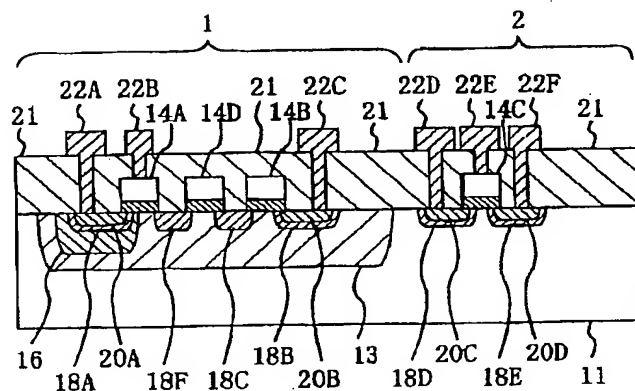
【符号の説明】

- | | | | |
|-----|------------------------------|-----|------------------|
| 1 | DMOSFET | 15 | 第2のレジストパターン |
| 2 | MOSFET | 16 | ボディ領域 |
| 11 | 半導体基板 | 17 | 第3のレジストパターン |
| 12 | 第1のレジストパターン | 18A | ソース側不純物拡散領域 |
| 13 | ド레인領域 | 18B | ド레인コンタクト側不純物拡散領域 |
| 14A | 第1の絶縁ゲート電極 | 18C | 低抵抗領域 |
| 14B | 第2の絶縁ゲート電極（ド레인コンタクト領域位置規制部材） | 18D | 第1の低濃度拡散領域 |
| 14C | 第3の絶縁ゲート電極 | 18E | 第2の低濃度拡散領域 |
| 14D | 第4の絶縁ゲート電極（ソース・ド레인間拡張部材） | 19 | 第4のレジストパターン |
| | | 20A | ソース領域 |
| | | 20B | ド레인コンタクト領域 |
| | | 20C | 第1のソース・ド레인領域 |
| | | 20D | 第2のソース・ド레인領域 |
| | | 21 | NSG膜 |
| | | 22A | ソース配線 |
| | | 22B | 第1のゲート配線 |
| | | 22C | ド레인配線 |
| | | 22D | 第1のソース・ド레인配線 |
| | | 22E | 第2のゲート配線 |
| | | 22F | 第2のソース・ド레인配線 |
| | | 22G | 第1のゲート配線 |
| | | 24 | ゲート酸化膜 |
| | | 25 | 多結晶シリコン膜 |
| | | 31A | 第1のサイドウォール |
| | | 31B | 第2のサイドウォール |
| | | 31C | 第3のサイドウォール |
| | | 32A | ソース領域 |
| | | 32B | ド레인コンタクト領域 |
| | | 32C | 第1のソース・ド레인領域 |
| | | 32D | 第2のソース・ド레인領域 |

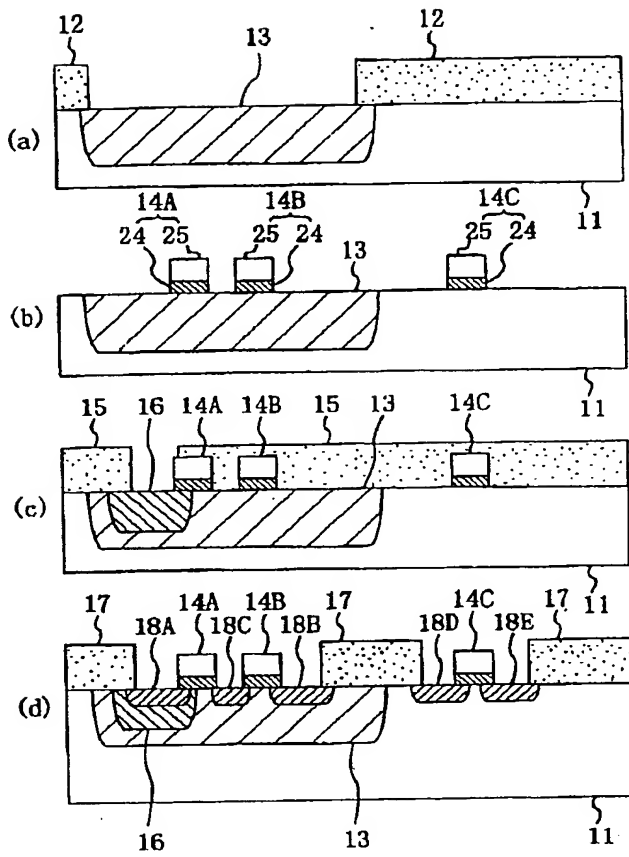
【図1】



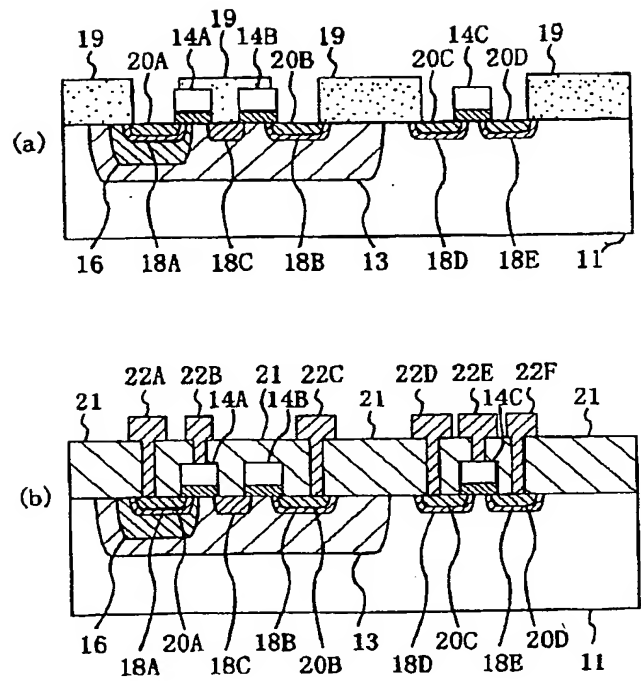
【図4】



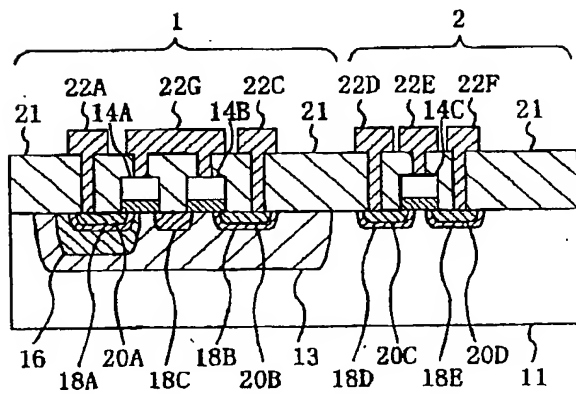
【図2】



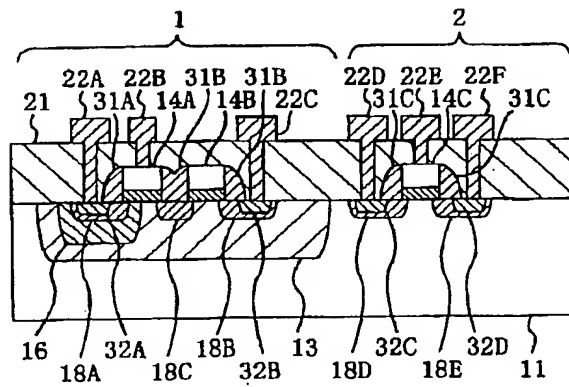
【図3】



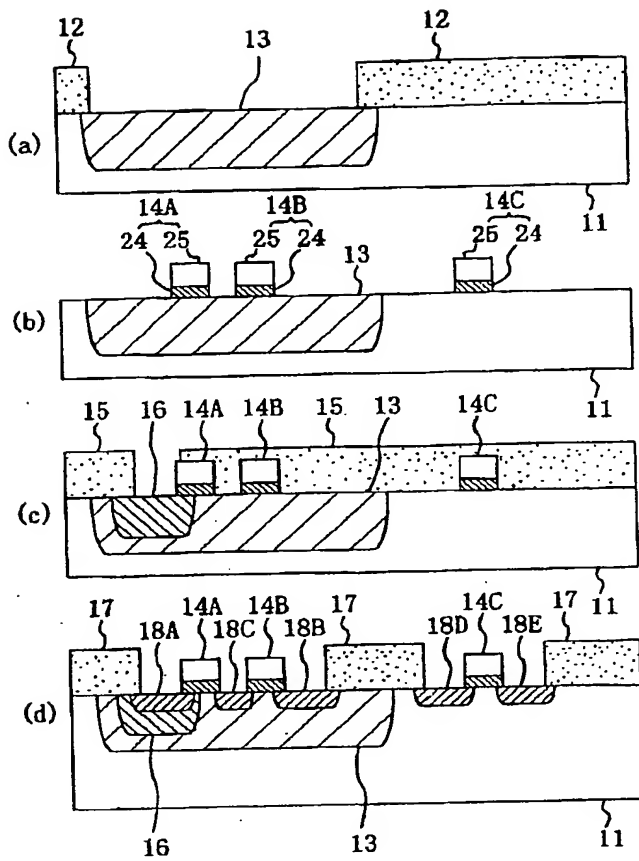
【図5】



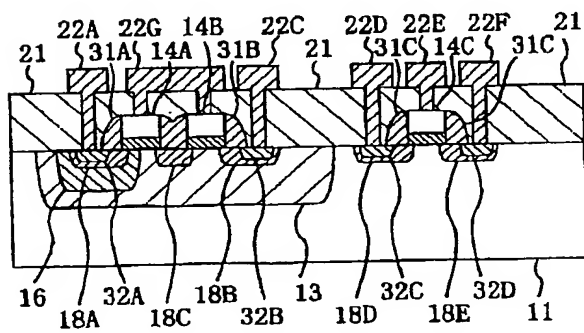
【図6】



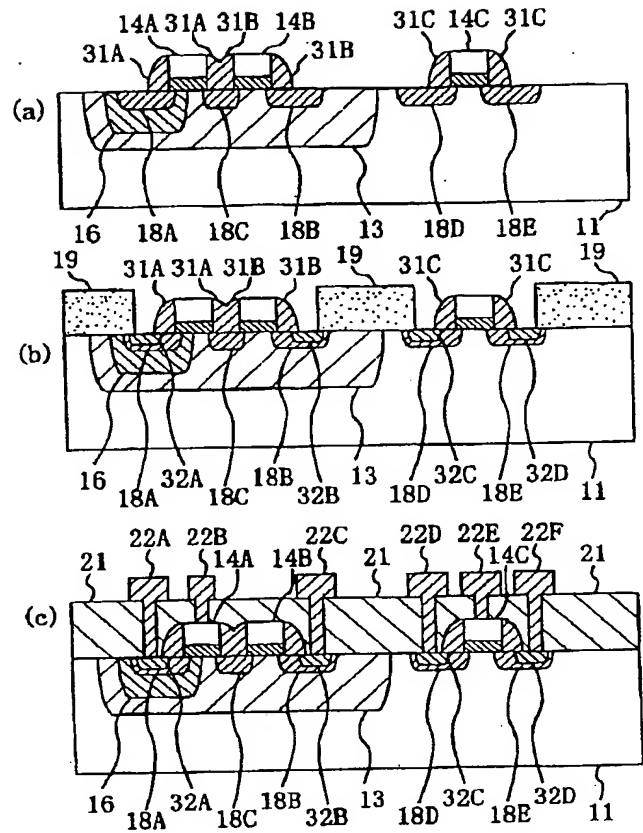
【図7】



【図9】



【図8】



【図10】

